

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 04-259259

(43) Date of publication of application : 14.09.1992

(51)Int.CI. H01L 29/784
H01L 27/08

(21)Application number : 03-020768

(71)Applicant : NIPPONDENSO CO LTD

(22) Date of filing : 14.02.1991

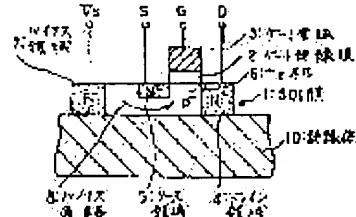
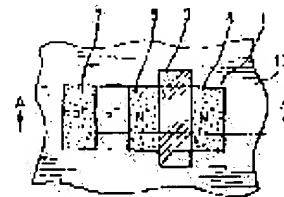
(72)Inventor : **UESUGI HIROSHI
OTSUKA YOSHINORI
HATTORI TADASHI**

(54) MIS TRANSISTOR FOR THIN FILM SOI STRUCTURE

(57) Abstract:

PURPOSE: To obtain a MIS transistor of a thin film SOI structure in which a potential under a channel can be secured and adapted for a high temperature IC.

CONSTITUTION: In a MOS transistor formed on a thin SOI film 1 on an insulator 10, a drain region 4 is diffused to the insulator 10. On the other hand, a source region 5 is so formed that diffusion is stopped on the way of the film 1. Thus, a potential of a channel region 6 can be biased from a bias region 7 through a bias passage 8 under the region 5. A connecting area of the region 4 is reduced, and a reverse leakage current can be suppressed at the time of a high temperature.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal] against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-259259

(43) 公開日 平成4年(1992)9月14日

(51) Int.Cl.
H 01 L 29/784
27/08

識別記号 序内整理番号
331 E 7342-4M
9056-4M

F I

技術表示箇所

H 01 L 29/78

311 X

審査請求 未請求 請求項の数 5 (全 10 頁)

(21) 出願番号 特願平3-20768

(22) 出願日 平成3年(1991)2月14日

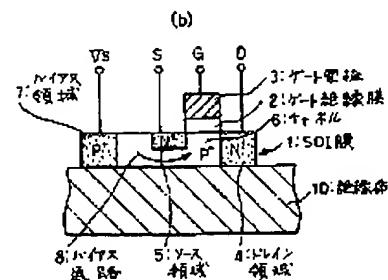
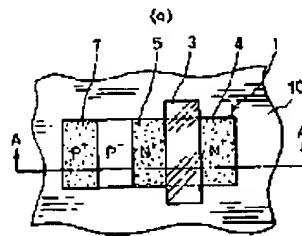
(71) 出願人 000004260
日本電装株式会社
愛知県刈谷市昭和町1丁目1番地
(72) 発明者 上杉 浩
愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内
(72) 発明者 大塚 義則
愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内
(72) 発明者 脇部 正
愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内
(74) 代理人 弁理士 碓井 裕彦

(54) 【発明の名称】 薄膜SOI構造のMISトランジスタ

(57) 【要約】

【目的】 チャネル下の電位を固定でき、高温用ICに
好適な薄膜SOI構造のMISトランジスタを得る。

【構成】 絶縁体10上の薄膜SOI膜1に形成された
MOSトランジスタにおいて、ドレイン領域4は絶縁体
10まで拡散させる。一方、ソース領域5は拡散がSOI
膜1途中で終了するようにする。これにより、ソース
領域5下のバイアス通路8を介してチャネル領域6の電
位はバイアス領域7からバイアスできる。また、ドレイ
ン領域4の接合面積は小となり高温時の逆方向リード電
流を抑制できる。



(2)

特開平4-259259

2

1

【特許請求の範囲】

【請求項1】 絶縁性基板と、この絶縁性基板上に形成された第1導電型の半導体膜と、この半導体膜の所定領域に形成され、前記半導体膜表面から前記絶縁性基板まで達する拡散深さを有する第2導電型のドレイン領域と、前記半導体膜表面において、前記ドレイン領域と前記半導体膜とのPN接合部終端に沿って間隔を残して、前記半導体膜とのPN接合部が終端するように形成されるとともに、前記半導体膜内において拡散が終了する所定の拡散深さを有する第2導電型のソース領域と、前記ドレイン領域と前記ソース領域との間の前記半導体膜表面の前記間隔をチャネル領域として、少なくともこのチャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記チャネル領域に対して前記ソース領域側の前記半導体膜に形成され、前記ソース領域に残された第1導電型の領域を介して前記チャネル領域の電位をバイアスするためのバイアス電圧が印加される第1導電型で、かつ前記半導体膜よりも高不純物濃度のバイアス領域とを具備することを特徴とするMISトランジスタ。

【請求項2】 前記ソース領域の前記所定の拡散深さは、前記ソース領域下に残された第1導電型の領域が前記ソース領域下に形成される空乏層幅よりも大となるようく設定されていることを特徴とする請求項1記載のMISトランジスタ。

【請求項3】 前記ソース領域下に残された第1導電型の領域に、前記ソース領域下に形成される空乏層の拡がりを抑制するための、第1導電型で、かつ、前記半導体膜よりも高不純物濃度の高濃度層が形成されていることを特徴とする請求項1記載のMISトランジスタ。

【請求項4】 前記ドレイン領域はその表面におけるPN接合部終端が前記チャネル領域に囲まれるようにして形成されていることを特徴とする請求項1乃至3項の何れかに記載のMISトランジスタ。

【請求項5】 前記ドレイン領域の前記PN接合部終端に、前記チャネル領域の前記ゲート電極端部における電界集中を緩和するために比較的低不純物濃度とされた第2導電型の低濃度ドレイン領域が形成されていることを特徴とする請求項1乃至4項の何れかに記載のMISトランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜SOI構造のMISトランジスタに關し、特にそのチャネル下の電位（以下、基板電位という）を表面電極側より固定するものに関する。

【0002】

【従来の技術】 半導体材料として使用されるシリコン（Si）は、高温において、PN接合における逆方向リーケ電流の増大、キャリア移動度の低下、フェルミ準位の変動などの物性変化を生じる。特に、このうち逆方向

リーケ電流の増大は、例えばアナログ回路を作成した場合のオフセット電圧の増大あるいはラッチアップ現象の原因となり、ICの特性に対して最も大きな影響を及ぼす要因である。そのため、パルクSiではその使用温度限界がせいぜい150°C程度とされ、一般に使用されているICの動作温度範囲は通常-55~125°Cとされている。

【0003】 これに対し、例えば自動車に用いる車輪速度センサ、燃焼圧センサにみると使用温度が150°C以上、実に200°Cに達するものもある。そこで、近年高温でも使用できるICの開発が求められており、図13(a)に示すSOI構造の薄膜トランジスタが逆方向リーケ電流を低減できる構造として注目されている。これは、空乏領域で発生する逆方向リーケ電流（発生電流分）がSOI構造とすることによって空乏層の伸びが絶縁体10で抑制されて低減することに加え、ソース・ドレイン領域4、5を絶縁体10まで拡散することによってその接合面積を同図(b)に示すパルクSi120に形成したトランジスタより大幅に低減することができ、その結果、特に高温において支配的となる空乏領域外で発生する逆方向リーケ電流（拡散電流分）を大幅に低減することができるからである。

【0004】 また、CMOSを構成する場合、パルクSiだと温度上昇時にラッチアップを引き起こす寄生トランジスタが必然的に構成されるが、SOI構造ではNチャネル素子、Pチャネル素子を各々別Si島に構成できるため、ラッチアップフリーとすることが可能である。

【0005】

【発明が解決しようとする課題】 ところで、ICを安定に動作させるためには、基板電位を固定する必要がある。基板電位が固定されていない（浮いた）状態では、スイッチング特性が不安定となり、このようなトランジスタではICの誤動作や性能劣化の原因となることが予想される。

【0006】 図13(b)に示すようにパルクSi120に形成する場合、図示するようにソース層5あるいはドレイン層1の下を通して基板表面のバイアス領域7から基板電位を固定することができるが、同図(a)に示すSOI構造の薄膜トランジスタでは、前述のようにPN接合面積を小さくするためにドレイン領域4、ソース領域5はSi膜1下の絶縁体10にまで拡散させるために、チャネル6の部分はドレイン領域4とソース領域5とに囲まれて隔離されたようになり、基板電位が取りづらい。

【0007】 すなわち、SOI構造のラッチアップフリー、逆方向リーケ電流の抑制という高温に有利な特徴を生かして、ICを正確、安定に動作させるためには基板電位を確実にとることが重要である。基板電位の固定方法として、図12に示すように、チャネル6の横方

(4)

特開平4-259259

5

6

い。SOI膜厚は約1μmである。

【0018】そして、パッド酸化膜形成後、図2に示すように、例えばLOCOS法等によって横方向絶縁分離領域11を形成し、Pチャネルトランジスタ、Nチャネルトランジスタ形成領域個々にSOI膜1を島状に絶縁分離する。その際に形成した空化膜の除去後、各々の領域に選択的にリン(P)、ボロン(B)を導入してドライイブを行うことにより、各々N+ウェル、P+ウェルとする。このとき、各ウェル濃度は後述するように各自設定されている。

【0019】そして、前述のパッド酸化膜除去後、各ウェル表面にゲート酸化膜2を形成し、LPCVD法によりN+多結晶シリコンを堆積して、図1(a)に示すような直線状にパターニングすることによってゲート電極3を形成する。このとき、後工程で形成するソース領域およびバイアス領域の位置決めを容易にするために、マスク用多結晶シリコン膜3aを残しておくようにしてよい。そして、このゲート電極3の表面を酸化する(図2参照)。

【0020】次に、Pチャネルトランジスタのドレイン領域4およびNチャネルトランジスタのバイアス領域7の形成予定領域に開口するパターンをホトレジスト膜100に形成し、P型不純物であるボロン(B)等のイオン注入を行う(図3参照)。尚、このホトレジスト形成工程は、レジストを全面に塗布した後に選択的に露光・現像を行うホト工程により行われる。また、ドレイン領域4はゲート電極3と、一方バイアス領域7はマスク用多結晶シリコン膜3aと自己整合的に形成される。

【0021】同様に、Pチャネルトランジスタのバイアス領域7、Nチャネルトランジスタのドレイン領域4の形成予定領域にも、ホトレジスト膜110をマスクとしてN型不純物であるヒ素(A₃)をイオン注入する(図4参照)。なお、この図3に示す工程と図4に示す工程は順序が逆であってもよい。そして、図6に示すように、Pチャネルトランジスタ、Nチャネルトランジスタ各々のドレイン領域4、バイアス領域7の活性化も兼ねて、熱処理により両ウェル内に拡散させる。

【0022】次に、再びP型不純物の導入を行う。この場合、前述の図3に示す工程とは異なり、Pチャネルトランジスタのソース領域5にもイオン注入を行う。すなわち、ホトレジスト膜120により、Pチャネルトランジスタのソース領域5、ドレイン領域4およびNチャネルトランジスタのバイアス領域7にボロン(B)等のイオン注入を行う。このとき、Pチャネルトランジスタの

ソース領域5はゲート電極3とマスク用多結晶シリコン膜3aとによって、自己整合的に導入される(図6参照)。

【0023】同様に、ホトレジスト膜130をマスクとしてN型不純物(例えばA₃)を導入する。この場合も前述の図4に示す工程とは異なり、Nチャネルトランジスタのドレイン領域4およびPチャネルトランジスタのバイアス領域7に加えてNチャネルトランジスタのソース領域5にもイオン注入を行う(図7参照)。なお、この図6および図7に示す工程は、順序が逆であってもよい。

【0024】そして、Pチャネルトランジスタ、Nチャネルトランジスタ共に、各々のソース領域5、ドレイン領域4およびバイアス領域7の活性化を兼ねて熱処理を行い、図8に示すように、各々のドレイン領域4、バイアス領域7が絶縁体(サファイア基板)110に達するまで拡散させる。なお、ここでドレイン領域4の不純物導入は2回に分けて行っているのに対し、ソース領域5はその不純物導入工程が1回であるためにSOI膜1内において拡散が終了している。

【0025】そして、さらに層間絶縁膜12形成、コンタクト穴開口、電極(ソース、ドレイン)配線13のパターニングを行って、図8に示すCMOSが製造される。なお、上述の製造方法ではLOCOS法により横方向絶縁分離領域11を形成するものであったが、トレンチ等によって横方向分離を図ってもよい。尚、その場合、トレンチ底壁からもドレイン領域4、バイアス領域7への不純物導入を行なうことができる。

【0026】次に、図2に示す工程で設定されたウェル濃度について、Nチャネルトランジスタを例にとって説明する。ここで、本実施例では、図1に示すように、ソース領域5下のバイアス通路8を介して基板電位が固定される。そのため、SOI膜1においてソース領域5下が完全に空乏化してしまうと、バイアス領域7からのバイアスが非常に難しくなってしまう。従って、バイアス効果を得るためにには、ソース領域5の接合深さとソース領域5下の空乏層幅とに関連して、ソース領域5下にバイアス通路8が存在するようにデバイス設計する必要がある。

【0027】一般に、ソース領域におけるPN接合は階段接合で近似でき、ソース領域における空乏層幅X_dは次式で与えられる。

【0028】

【数1】

$$X_d = \sqrt{\frac{2 \epsilon_3 \epsilon_0 (V + \phi)}{q}} \cdot \sqrt{\frac{1}{C_B} + \frac{1}{C_D}} \approx \sqrt{\frac{2 \epsilon_3 \epsilon_0 (V + \phi)}{q C_B}}$$

$$= \sqrt{\frac{2 \epsilon_3 \epsilon_0 \phi}{q C_B}} (V = 0)$$

(5)

特開平4-259259

【0029】ただし、 C_s はソースの温度、 C_b は基板温度である。式 1 より、例えばゲート酸化膜を 850 Å としたときの基板濃度 C_b と空乏層幅 X_d との関係は、計算により図 9 に示すようになる。従って、SOI 膜 1 の膜厚が 1 μm でソース領域 5 の拡散深さが約 0.5 μm の場合、ソース領域 5 下にバイアス通路 8 を確保するためには、空乏層幅 X_d は 0.5 μm より小さくなるようにする必要がある。すなわち、図 9 に示すように、本実施例においては N チャネルトランジスタの P-ウェルの濃度を 10^{16} cm^{-3} 程度としている。

【0030】上述のようにして製造した N チャネルトランジスタの特性を図 10 (a), (b) に示す。同図 (a) はゲート電圧 V_g とドレイン電流 I_d との関係を示す $V_g - \log I_d$ 特性である。図に示すように、基板電位 (バイアス電位) V_s を変えると特性も変化することから、基板バイアスが取れていることが確認できる。一方、図 (b) にはドレイン電圧 V_d とドレイン電流 I_d との関係を示す。図に示すように良好なトランジスタ特性が得られている。

【0031】また、ソース領域 5 下を介して基板電位をバイアスするようにしているため、バイアスできる領域も図 11 (a) の斜線で示すゲート幅で与えられる領域となり、特に、図 11 に示すようなゲート幅の大きいトランジスタを形成する場合、同サイズの図 12 に示すものよりバイアスできる領域は大となり有利である。また、図 12 に示すものに対して、バイアスするためのまわり込み領域も必要なためトランジスタサイズを小さくすることができる。また、図 12 に示すものではチャネル端部においてトランジスタ ON 時にドレイン電流がチャネルの外側をまわりこむようにして流れ、電流値が設計通りとならないことが予想されるが、図 1 あるいは図 12 に示すようにまわり込み領域の存在しない本実施例ではそのような不具合は防止される。

【0032】次に、本発明第 2 実施例について説明する。図 14 は本発明第 2 実施例を適用した N チャネル MOS トランジスタであり、図 (a) に平面図、図 (b) にその AA 断面図を示す。なお、図 1 に示す第 1 実施例と同じ構成には同一符号が付してある。図 1 からわかるように本実施例はドレイン領域 4 がゲート、ソース領域 5 に囲まれた構成となっており、SOI 膜 1 の最外周にバイアス領域 7 が設定されている。

【0033】本構造によても、ソース領域 5 下のバイアス通路 8 を介して、バイアス領域 7 に印加されるバイアス電圧 V_s により基板電位を固定することができる。また、ドレイン領域 4 は絶縁体 10 まで拡散されているため、接合面積は小さく高温時の逆方向リーキ電流の発生も抑制できる。また、直線形状の MOS 素子ではチャネル端面において SOI 膜表面と結晶方位の異なる面が存在することに起因して、そのチャネル部端面の影響がトランジスタ特性に作用することが考えられるが、図 1

4 (a) に示すように本実施例ではドレイン領域 4 をチャネル領域で囲むようにしているため、原理的にチャネル部に端面は形成されず上述のような影響、例えばチャネル端面でのリーキが発生することはない。また、図 1 2 に示すものにおけるドレイン電流のまわり込みの経路は存在しないため、設計通りの電流値を得ることができる。

【0034】このように、ドレイン領域が囲まれた図 1 4 に示す丸型 MOS トランジスタは、チャネル部端面のリーキがないこと、およびチャネル外側の電流の回り込みが無い点で有利である。なお、ドレイン領域が囲まれた丸型 MOSFET の平面パターンは、他に図 1 5 (a), (b) に示すように、各領域 4, 6, 5, 7 を全て円形、方形とするようにしてもよい。

【0035】次に、図 1 6 に本発明第 3 実施例を示す。本実施例では上述したバイアス効果に加え、ドレイン領域 4 のゲートエッジ部での電界集中を低不純物濃度ドレイン領域 4 a により緩和し、ソース・ドレイン間の横方向電界の拡がりを抑制するようにしているため、デバイスの微細化を図ることができる。次に、本発明第 4 実施例について説明する。

【0036】図 1 7 は本発明第 4 実施例を適用した P チャネル MOS トランジスタである。前述のように SOI 膜が完全に空乏化するとバイアス領域 7 からの電位固定は非常に難しくなる。本実施例では、図 1 7 に示すように、ソース領域 5 下からチャネル領域下へ連通する高濃度ドープ層 9 を設けて、ソース領域 5 下およびチャネル領域 6 下の完全空乏化を抑制するようにしている。他の構成は図 1 に示すものと同じであり、図 1 と同じ符号が付してある。

【0037】本第 4 実施例によれば、ソース領域 5 下の空乏層の伸びが高濃度ドープ層 9 で止まるため、該高濃度ドープ層 9 によりバイアス通路 8 が確保され、基板電位の固定が容易となる。そのため、N チャネルトランジスタに比べキャリア移動度が低く、CMOS を構成する場合に素子サイズを大きくしたり、基板濃度を薄く設定したりする必要のある P チャネルトランジスタにおいて、ソース下の空乏層幅に関係なく容易にバイアス通路を確保することができ、特に有利となる。

【0038】また、この高濃度ドープ層 9 をチャネル下まで設けるようにしているため、チャネル下の抵抗を小さくすることができ、チャネル・ドレイン端でのホットキャリアにより発生する多数のキャリア (N チャネルでは正孔) は SOI 膜 1 内に蓄積されることなく、すばやく高濃度ドープ層 9 を通って電源 V_s 側に吸収することができ、キック現象を抑制することができる。

【0039】次に、図 1 7 に示す P チャネル MOS トランジスタの製造方法の一例を図 18 から図 21 を用いて説明する。まず、IC を形成する N 型 S 1 基板 1 a を用意し、その一方の上面に高濃度ドープ層 9 を形成するた

(6)

特開平4-259259

9

めに、N型不純物（例えばAs）を高濃度に導入する（図18参照）。

【0040】そして、主表面にSiO₂膜10aを形成したSi基板10bを絶縁基板10として用意し、Si基板1aとこの絶縁基板10とを、各々高濃度ドープ層を形成した主面とSiO₂膜10aを形成した主面とが面するようにして、公知のSi-SiO₂直接接合技術を用いて貼り合わせる（図19参照）。この方法によれば、絶縁基板10上SOI膜の結晶性が損なわれることはない。

【0041】その後、不純物を導入した側のSi基板1aをラップボリッシュして所望の膜厚にし（図20参照）、上述の図2から図8に示す工程と同様の工程を経て、図21に示すSOI構造のPチャネルMOSトランジスタが製造される。なお、本第4実施例ではPチャネルトランジスタを例にとって説明したが、Nチャネルトランジスタにおいても同様に適用可能である。また、図14に示す丸型MOSトランジスタあるいは図16に示すLDD構造のものに本第4実施例を適用するようにしてもよい。

【0042】さらに、上記種々の実施例においてはMOS構造のトランジスタについて説明したが、これに限るものではなく、例えばゲート絶縁膜に空化膜を用いるMOS構造のものに本発明を適用するようにしてもよい。

【0043】

【発明の効果】上記詳述したように、本発明ではドレイン領域を半導体膜において絶縁基板まで拡散するよう正在するため、その接合面積を小さくすることができる。高溫時に発生する逆方向リーケ電流を抑制することができる。また、ソース領域は半導体膜途中で拡散が終了しているため、チャネル領域の電位は、バイアス領域に印加されるバイアス電圧によって該ソース領域下の第1導電型領域を介して容易に固定することができる。

【0044】さらに、このようにバイアス通路がソース領域下に設定されているために、チャネル横方向から電位固定するためのまわり込んだバイアス通路を設定する必要もなく、全体的なトランジスタサイズを最小限に小さくすることができる。すなわち、本発明によれば、素子の微細化に対応でき、基板電位を容易に固定することができる、特に高温用ICとして好適な薄膜SOI構造のMOSトランジスタを提供することができるという優れた効果が得られる。

【図面の簡単な説明】

【図1】 本発明第1実施例を適用した直線状のNチャネルMOSトランジスタであり、図(a)は平面図、図(b)はそのAA断面図である。

【図2】 本発明第1実施例を適用したCMOSの製造工程を示す断面図である。

【図3】 本発明第1実施例を適用したCMOSの製造

10 工程を示す断面図である。

【図4】 本発明第1実施例を適用したCMOSの製造工程を示す断面図である。

【図5】 本発明第1実施例を適用したCMOSの製造工程を示す断面図である。

【図6】 本発明第1実施例を適用したCMOSの製造工程を示す断面図である。

【図7】 本発明第1実施例を適用したCMOSの製造工程を示す断面図である。

【図8】 本発明第1実施例を適用したCMOSの製造工程を示す断面図である。

【図9】 基板表面C₁とソース領域下における空乏層幅X_dとの関係を示す特性図である。

【図10】 本発明を適用したNチャネルMOSトランジスタのトランジスタ特性を示す特性図であり、図(a)はV_g-I_d特性、図(b)はV_g-I_s特性である。

【図11】 本発明第1実施例を適用したゲート幅の大きいPチャネルMOSトランジスタで、図(a)は平面図、図(b)はそのAA断面図である。

【図12】 本発明の課題の説明に供したSOI構造の基板電位の固定方法を示す図で、図(a)は平面図、図(b)はそのAA断面図である。

【図13】 従来構造を示す図で、図(a)はSOI構造のNチャネルMOSトランジスタの断面図、図(b)はバルクを使用したNチャネルMOSトランジスタの断面図である。

【図14】 本発明第2実施例を適用した丸型のNチャネルMOSトランジスタで、図(a)は平面図、図(b)はそのAA断面図である。

【図15】 図(a)、図(b)共に図14に示す本発明第2実施例の変形例を示す平面図である。

【図16】 本発明第3実施例を適用したNチャネルMOSトランジスタの断面図である。

【図17】 本発明第4実施例を適用したPチャネルMOSトランジスタの断面図である。

【図18】 図17に示すトランジスタの製造方法を示す断面図である。

【図19】 図17に示すトランジスタの製造方法を示す断面図である。

【図20】 図17に示すトランジスタの製造方法を示す断面図である。

【図21】 図17に示すトランジスタの製造方法を示す断面図である。

【符号の説明】

1 SOI膜

2 ゲート絶縁膜

3 ゲート電極

4 ドレイン領域

5 ソース領域

(7)

特開平4-259259

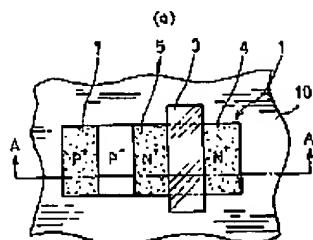
II

12

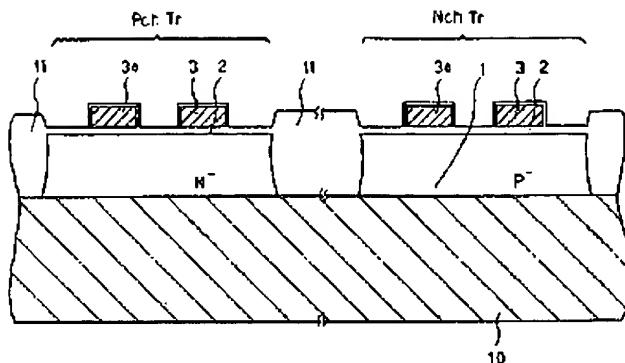
6 チャネル
7 バイアス領域
8 バイアス通路

9 高濃度ドープ層
10 絶縁体

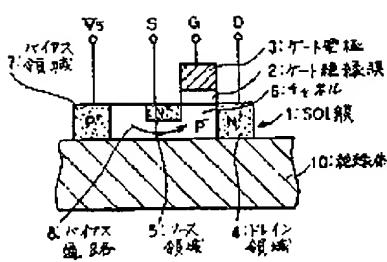
【図1】



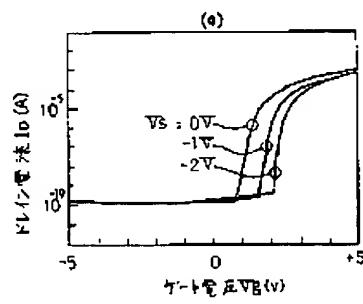
【図2】



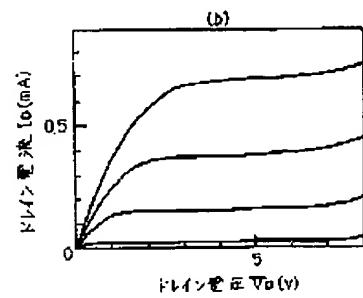
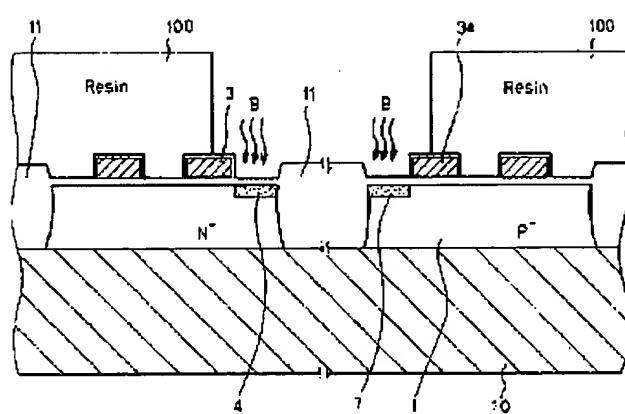
(b)



【図10】



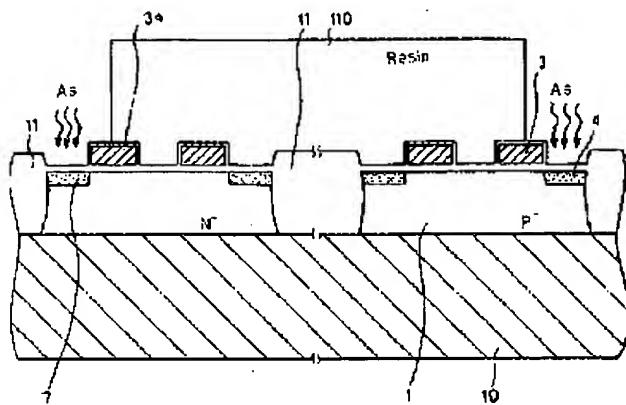
【図3】



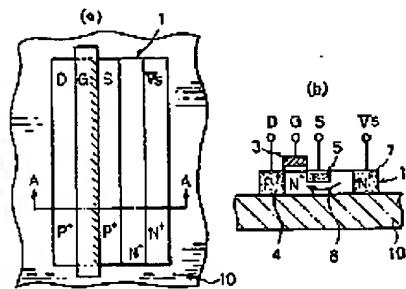
(8)

特開平4-259259

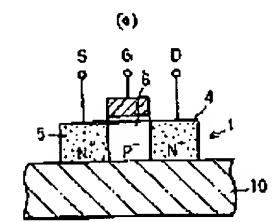
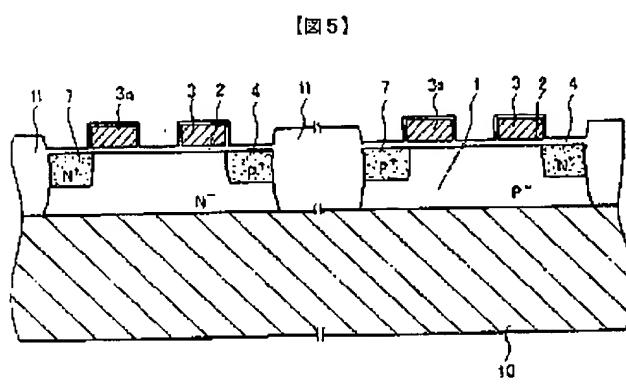
【図4】



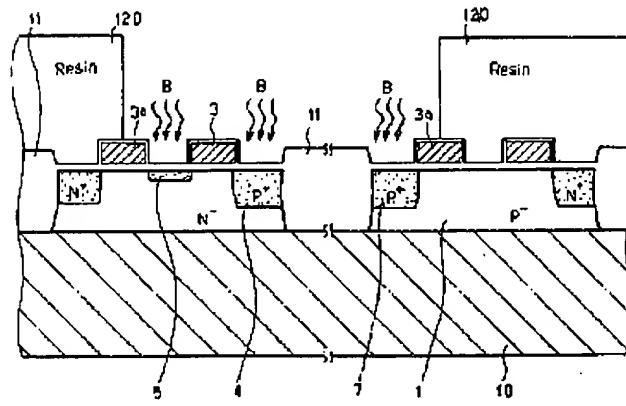
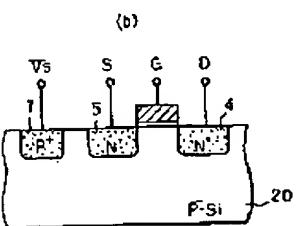
【図11】



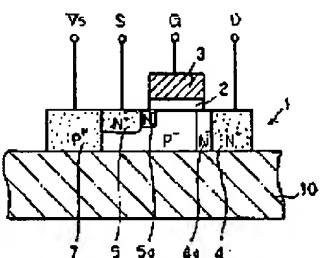
【図13】



【図6】



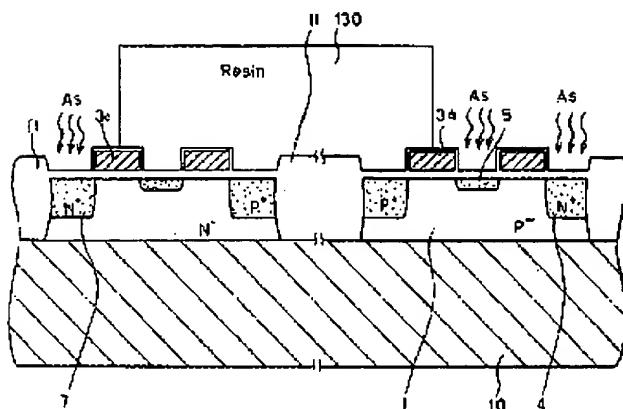
【図16】



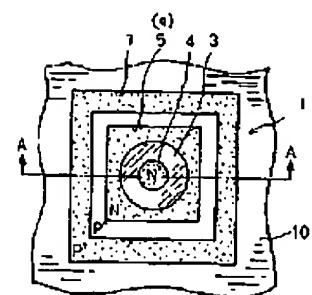
(9)

特開平4-259259

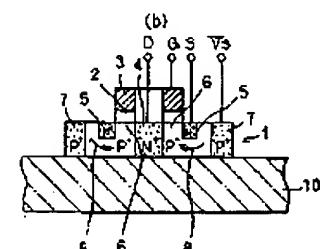
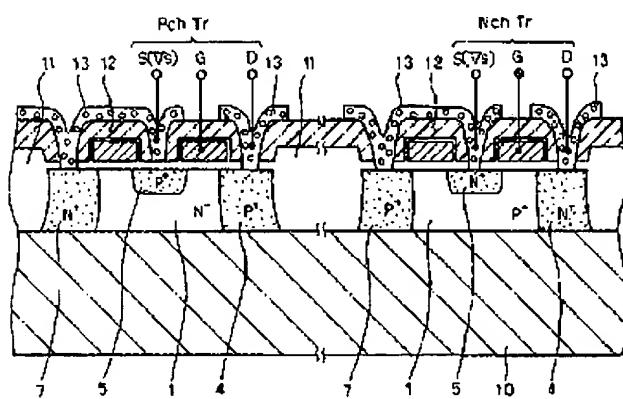
【図7】



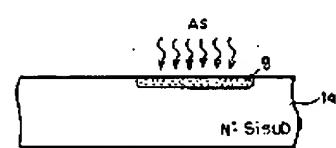
【図14】



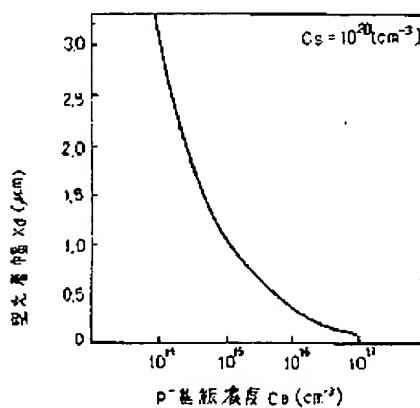
【図8】



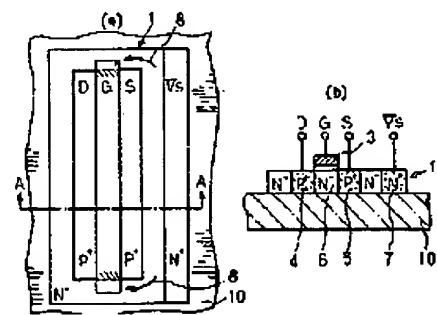
【図18】



【図9】



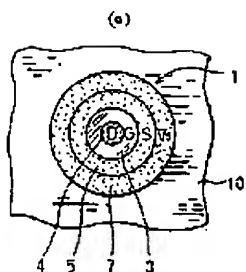
【図12】



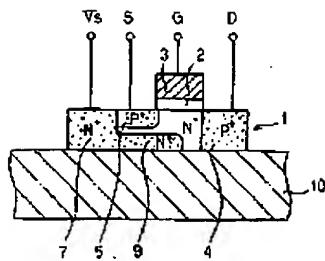
(10)

特開平4-259259

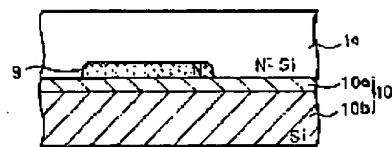
【図15】



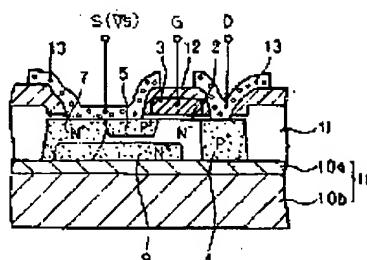
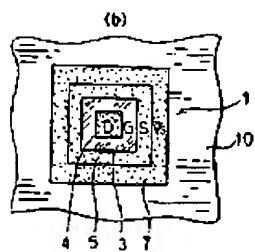
【図17】



【図19】



【図21】



【図20】

